

SIGNAL PROCESSING DEVICE, IMAGE PICKUP DEVICE AND IMAGE PICKUP SYSTEM

Publication number: JP2002027331 (A)

Publication date: 2002-01-25

Inventor(s): YAMASHITA YUICHIRO

Applicant(s): CANON KK

Classification:


- international: *H01L27/146; H03M1/38; H04N5/335; H01L27/146; H03M1/38; H04N5/335*; (IPC1-7): H03M1/38; H04N5/335; H01L27/146

- European:

Application number: JP20000201065 20000703

Priority number(s): JP20000201065 20000703

Also published as:

 JP3990857 (B2)

Abstract of **JP 2002027331 (A)**

PROBLEM TO BE SOLVED: To realize reduction in power consumption by reducing the drive capacity of an output buffer. **SOLUTION:** The device is provided with a plurality of serial analog-digital conversion means 106 for converting signals from a plurality of signal sources to digital signals, a plurality of queue means 107, each queue storing at least one bit data connected to the serial analog-digital conversion means, and a selection means 108 for selectively outputting the signals stored in the plurality of queue means from a common output part.



Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-27331

(P2002-27331A)

(43)公開日 平成14年1月25日 (2002.1.25)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 4 N 5/335		H 0 4 N 5/335	Z 4 M 1 1 8
			E 5 C 0 2 4
H 0 1 L 27/146		H 0 3 M 1/38	5 J 0 2 2
// H 0 3 M 1/38		H 0 1 L 27/14	A

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21)出願番号 特願2000-201065(P2000-201065)

(22)出願日 平成12年7月3日(2000.7.3)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 山下 雄一郎

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100065385

弁理士 山下 穰平

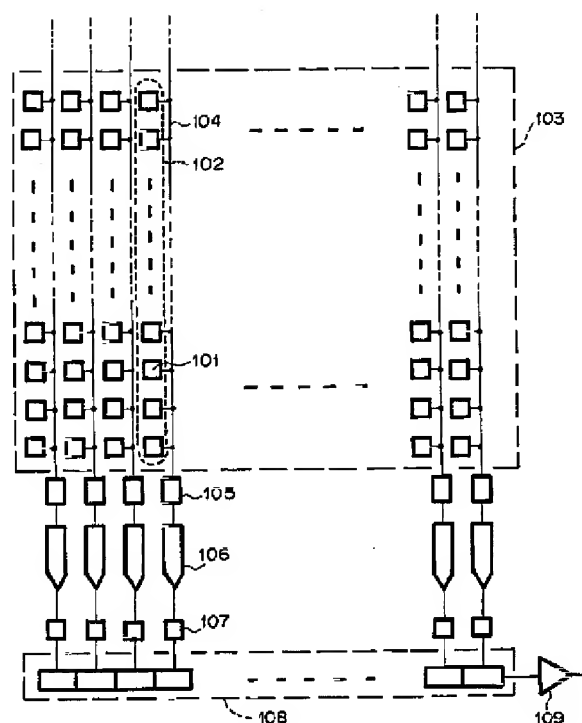
最終頁に続く

(54)【発明の名称】 信号処理装置、撮像装置及び撮像システム

(57)【要約】

【課題】 出力バッファの駆動能力を削減し、低消費電力化が実現する。

【解決手段】 複数の信号源からの信号をデジタル信号に変換する複数の逐次変換型アナログ・デジタル変換手段106と、逐次変換型アナログ・デジタル変換手段に接続される、少なくとも1ビットのデータを保持する複数の待ち行列手段107と、複数の待ち行列手段に保持された信号を共通の出力部から選択的に出力させる選択手段108と、を有する。



【特許請求の範囲】

【請求項1】 複数の信号源からの信号をデジタル信号に変換する複数の逐次変換型アナログ・デジタル変換手段と、

前記複数のアナログ・デジタル変換手段の各々に接続される、少なくとも1ビットのデータを保持する複数の待ち行列手段と、

前記複数の待ち行列手段に保持された信号を共通の出力部から選択的に出力させる選択手段と、
を有する信号処理装置。

【請求項2】 複数の信号源からの信号をデジタル信号に変換する複数のアナログ・デジタル変換手段と、

N個の信号源からの信号を選択的に前記アナログ・デジタル変換手段に接続するN対1選択手段と、

前記複数の逐次変換型アナログ・デジタル変換手段の各々に接続される、少なくとも1ビットのデータを保持する複数の待ち行列手段と、

前記複数の待ち行列手段に保持された信号を共通の出力部から選択的に出力させる選択手段と、
を有する信号処理装置。

【請求項3】 複数の信号源からの信号をデジタル信号に変換する複数の逐次変換型アナログ・デジタル変換手段と、

N個の信号源からの信号を選択的に前記逐次変換型アナログ・デジタル変換手段に接続するN対1選択手段と、
少なくとも1ビットのデータを保持する複数の待ち行列手段と、

前記複数の逐次変換型アナログ・デジタル変換手段の各々に接続される、N個の前記待ち行列に選択的に接続される1対N選択手段と、

前記複数の待ち行列手段に保持された信号を共通の出力部から選択的に出力させる選択手段と、
を有する信号処理装置。

【請求項4】 複数の信号源からの信号をデジタル信号に変換する複数の逐次変換型アナログ・デジタル変換手段と、前記複数の逐次変換型アナログ・デジタル変換手段によって変換された信号のあるレベルのビットデータをそれぞれ保持する複数の待ち行列手段と、

前記待ち行列手段に保持された前記ビットデータを時系列的に出力するための選択手段と、

前記選択手段と時間的に並列に前記逐次変換型A/D変換手段を駆動させる手段と、を有する信号処理装置。

【請求項5】 前記逐次変換型アナログ・デジタル変換手段は、その入力部に、サンプル・ホールド機能を有することを特徴とする請求項1から請求項4のいずれか1項に記載の信号処理装置。

【請求項6】 請求項1から請求項4のいずれかの信号処理装置を用いた撮像装置であって、

前記信号源は、少なくとも、光励起によって発生したキャリアを蓄積する手段、蓄積されたキャリアをリセット

するリセット手段、蓄積されたキャリアに応じた信号を増幅して出力する増幅手段、前記増幅手段を制御信号によって選択的に活性、非活性にする手段を含む画素と、複数の前記画素の増幅手段が接続される出力信号線とからなる撮像装置。

【請求項7】 前記保持手段は、任意の前記画素が前記リセット手段によってリセットされた際の前記増幅手段の出力と、前記任意の画素が蓄積されたキャリアに応じた信号を増幅した際の前記増幅手段の出力との差分を保持することを特徴とする請求項6に記載の撮像装置。

【請求項8】 請求項1から請求項3のいずれかの信号処理装置を用いた撮像装置であって、

前記複数の信号源は、少なくとも、光励起によって発生したキャリアを蓄積する手段と蓄積されたキャリアを転送する転送手段とを含む画素の複数と、複数の前記画素が接続される電荷転送レジスタ部と、前記電荷転送レジスタ部に接続される、電荷を電圧に変換する浮遊容量部と、前記浮遊容量部の電圧をリセットするリセット手段と、前記浮遊容量部の電圧を増幅する増幅手段とからなる画素列である撮像装置。

【請求項9】 前記保持手段は、前記浮遊容量部がリセット手段によってリセットされた際の増幅手段の出力と、続けて任意の画素の蓄積されたキャリアに応じた電荷が浮遊容量部に転送された際の増幅手段の出力との差分を保持することを特徴とする請求項8に記載の撮像装置。

【請求項10】 請求項4に記載の信号処理装置を用いた撮像装置であって、前記信号源は、光電変換の機能を有した画素が行列状に配置された光電変換部の一画素列である撮像装置。

【請求項11】 前記逐次変換型アナログ・デジタル変換手段は、その入力部に、サンプル・ホールド機能を有することを特徴とする請求項6から請求項10のいずれか1項に記載の撮像装置。

【請求項12】 複数列配列された光励起によって発生したキャリアを蓄積する蓄積手段を含む画素と、一列毎に設けられた、前記画素からの信号をデジタル信号に変換するための複数のアナログ・デジタル変換手段と、

前記複数のアナログ・デジタル変換手段の各々に接続される、少なくとも1ビットのデータを保持する複数の待ち行列手段と、

前記複数の待ち行列手段に保持された信号を共通の出力部から選択的に出力させる選択手段と、
を同一半導体チップに形成した撮像装置。

【請求項13】 前記アナログ・デジタル変換手段は、逐次変換型アナログ・デジタル変換手段を含むことを特徴とする請求項12に記載の撮像装置。

【請求項14】 前記選択手段は、シフトレジスタを含むことを特徴とする請求項12又は請求項13に記載の

撮像装置。

【請求項15】 請求項6から請求項14のいずれかの請求項に記載の撮像装置と、該撮像装置へ光を結像する光学系と、該撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は信号処理装置、撮像装置および撮像システムに係わり、特にA/D変換器を内蔵した、高速、かつ低消費電力動作が可能となるエリア型撮像装置および撮像システムに好適に用いられるものである。

【0002】

【従来の技術】現在、CMOS型イメージセンサ（以下、CMOSセンサという。）と呼ばれる、ロジックプロセスを応用したイメージセンサの開発が進められている。CMOSセンサの利点として、同一チップ上に、イメージセンサに加え、周辺駆動回路、A/D変換器、マイクロプロセッサなどを混載することができるということがあげられる。

【0003】特に、A/D変換器を混載したCMOSセンサが盛んに研究・開発されており、一部は製品として市場にも登場している。

【0004】以下、図面を用いて従来の例を説明する。

【0005】図15は、従来のA/D変換器混載型CMOSセンサの第一の例である。行列状に配列された画素部A01、共通の水平信号線A02へ選択的に信号を伝えるためのスイッチ群A03、および出力アンプA04で構成された従来型のCMOSセンサ部A05の出力A06を、A/D変換器A07へ入力している。ここで述べるA/D変換器とは、サンプルホールド回路を含む場合もある。従来の動作でアナログ電圧、として読み出された信号は、最終出力段において、A/D変換器A07へ入力され、デジタルデータとして出力される。

【0006】図16は、従来のA/D変換器混載型CMOSセンサの第二の例である。行列状に配列された画素部A01の各行に一つずつ、A/D変換器B03が接続されている。ここで述べるA/D変換器とは、サンプルホールド回路を含む場合もある。本例においては、列B01あたりにサンプルホールド回路B02、A/D変換器B03を一つ設け、ある行の信号を読み出す際、列毎にA/D変換を行い、デジタルのデータとして共通のnビットバスである水平出力バスB04にデータを伝える。この際、選択手段B05を用意し、選択的にデータが水平出力バスに送られるようにしている。バスの値は出力バッファB06を介して出力される。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来技術においては、以下のような問題がある。

【0008】まず図5に示した第一の例においては、最

終段のA/D変換器A07に求められる性能、特に変換速度の面で比較的高い性能が求められることである。変換速度として、VGAサイズ（640×480）のエリアを60フレーム/秒、インターレース出力で出力すると、およそ10MSPSほどのスピードが必要となる。このスピードを実現するためには、フラッシュ型A/D変換器、もしくは2ステップフラッシュ型A/D変換器などが必要となり、消費電力、A/D変換器の占めるセンサ上の面積などの点が欠点となってしまふ。

【0009】次に、第二の例においては、以下のような問題点が考えられる。

1) 1フレームを出力するための時間が増加するという点。

【0010】第二の例におけるA/D変換器は、面積的制約から、主に逐次変換型A/D変換器、もしくはカウンタ同期の比較器となる。いずれにしても変換速度はフラッシュ型A/D変換器、2ステップフラッシュ型A/D変換器に比べて低速であり、変換終了まで待つ必要がある。その変換終了までの時間に行数をかけた時間だけ、フレームレートが低下してしまう。

2) 水平出力線を駆動するためのインバータの消費電力が大きいという点。

【0011】A/D変換器が変換したデジタルデータは、センサ内共通の水平出力ビットラインを通じて外部に出力される。水平出力ビットラインの寄生容量は比較的大きく、そのラインを必要なビットレートで駆動するために、A/D変換器の最終出力段のインバータの駆動能力を大きくしなくてはならず、そのために消費電力は増加してしまう。

3) 逐次変換型A/D変換器の参照電圧発生器の整定時間(Setting Time)を短くしなくてはならない。

【0012】逐次変換型A/D変換器は、比較を時系列的に行うが、そのつど新たな参照電圧を必要とする。参照電圧は複数の抵抗、もしくは複数の容量を用いて作成し、最終的にインピーダンス変換用の増幅器を介して出力されるが、その増幅器の整定時間を短くする必要がある。そのために参照電圧発生器のチップ上の面積、および消費電力が増加してしまう。

【0013】本発明の目的は、フレームレートの低下を伴わず、かつ小さな駆動能力で必要十分なビットレートによる出力を実現することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の信号処理装置は、複数の信号源からの信号をデジタル信号に変換する複数の逐次変換型アナログ・デジタル変換手段と、前記複数のアナログ・デジタル変換手段の各々に接続される、少なくとも1ビットのデータを保持する複数の待ち行列手段と、前記複数の待ち行列手段に保持された信号を共通の出力部から選択的に出力させる選択手段と、を有するものである。

【0015】また本発明の信号処理装置は、複数の信号源からの信号をデジタル信号に変換する複数のアナログ・デジタル変換手段と、N個の信号源からの信号を選択的に前記アナログ・デジタル変換手段に接続するN対1選択手段と、前記複数の逐次変換型アナログ・デジタル変換手段の各々に接続される、少なくとも1ビットのデータを保持する複数の待ち行列手段と、前記複数の待ち行列手段に保持された信号を共通の出力部から選択的に出力させる選択手段と、を有するものである。

【0016】また本発明の信号処理装置は、複数の信号源からの信号をデジタル信号に変換する複数の逐次変換型アナログ・デジタル変換手段と、N個の信号源からの信号を選択的に前記逐次変換型アナログ・デジタル変換手段に接続するN対1選択手段と、少なくとも1ビットのデータを保持する複数の待ち行列手段と、前記複数の逐次変換型アナログ・デジタル変換手段の各々に接続される、N個の前記待ち行列に選択的に接続される1対N選択手段と、前記複数の待ち行列手段に保持された信号を共通の出力部から選択的に出力させる選択手段と、を有するものである。

【0017】また本発明の信号処理装置は、複数の信号源からの信号をデジタル信号に変換する複数の逐次変換型アナログ・デジタル変換手段と、前記複数の逐次変換型アナログ・デジタル変換手段によって変換された信号のあるレベルのビットデータをそれぞれ保持する複数の待ち行列手段と、前記待ち行列手段に保持された前記ビットデータを時系列的に出力するための選択手段と、前記選択手段と時間的に並列に前記逐次変換型A/D変換手段を駆動させる手段と、を有するものである。

【0018】本発明の撮像装置及び撮像システムは上記本発明の信号処理装置を用いたものである。

【0019】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。なお、本発明の信号処理装置は、特に撮像装置に限定して適用されるものではなく、信号源は光電変換部にかぎられず、メモリ等であってもよいが、以下の実施例では撮像装置を取りあげて説明する。

(実施例1) 図1を用いて本発明の撮像装置の第1の実施例を説明する。イメージセンサは主に画素101、それを複数個並べた画素列102、画素列102を複数並べた画素行列103を有する。各画素列の画素は共通の出力線に接続しており、ある一列に着目し、その出力線を104とする。出力線104は信号保持手段となるサンプル・ホールド回路105に接続され、そのサンプル・ホールド回路105の出力は逐次変換型A/D変換器106に接続されている。逐次変換型A/D変換器106の出力は待ち行列107(例えば、FIFOバッファ(先入れ先出しバッファ))に接続されており、その段数をここではたとえば1段とする。待ち行列107の出力は選択手段となるシフトレジスタ108に出力されて

おり、シフトレジスタ108の最終段は出力の為のバッファ109に接続されている。

【0020】ここでたとえば画素は、アクティブ型CMOSイメージセンサ、ベースに蓄積された電荷を増幅して読み出すバイポーラセンサ(BASIS)、CMD(Charge Modulation Device image sensor)などに代表される、一画素に光電変換部と増幅部を有するような画素であれば、いかなる画素でも良い。また、画素に増幅部を有しない、パッシブ型CMOSイメージセンサであっても同様の発明の効果を得ることが出来る。

【0021】ここでサンプル・ホールド回路105であるが、たとえば図2のように保持容量201とスイッチ202で構成され、保持容量がそのままA/D変換器106の入力段に接続するものを用いても良い。また、図3のように、保持容量のホールドしている電圧を一度増幅器301を介してA/D変換器106の入力段に接続するものを用いても良い。

【0022】また、CMOSイメージセンサなどの画素は、画素ごとの増幅器の固定パターンノイズ、および画素をリセットしたときのランダムリセットノイズを除く為に、リセット時の画素出力と、光電変換後の画素出力をそれぞれサンプリングしてその2つの出力の値の差分を出力することを行っている。本サンプルホールド回路においても同等の差分処理を行うことで、A/D変換器に入力される電圧からノイズを取り除くことが出来、S/Nの高い信号を得ることが出来るようになる。そのためには例えば図4のように、アンプ401に直列に接続されるクランプ用容量402と、クランプ用スイッチ403、ホールド用スイッチ404からなる回路を用いて、まずノイズをクランプ用スイッチ403をON・OFFすることでクランプし、取り除くような回路を用いてもよい。また、図5のように、アンプ501と保持容量502、スイッチ503で構成されるノイズレベルサンプル回路504、ノイズレベルサンプル回路504と同等の構成の、アンプ505と容量506、スイッチ507から構成される光電変換信号サンプル回路508、ノイズレベルサンプル回路504と光電変換信号サンプル回路508との値を減算する引き算器509からなる回路を用いても良い。

【0023】上記サンプルホールド回路、またそれ以外に限らず、全ての図中に現れるアンプ、スイッチなどの回路はすべて機能を説明するためのものであり、本発明の主張する範囲は図に表れる構成に限定されるものではないことは言うまでもない。たとえば上記図5の回路においては、アンプ501とアンプ505、引き算器509は機能的には分離できても回路図上は分離し得ない構成になり得るし、たとえば引き算器509は計装増幅回路などでもよい。また、ホールドした値をA/D変換器に伝えるための増幅器のゲインも、たとえば1倍であったり、0.5倍であったり、2倍であったり等、設計に

合わせていかなる値でもよい。

【0024】またスイッチなどに関しても、MOSトランジスタで構成されるもの、ダイオードで形成されるものなど、さまざまなものを用いることができる。

【0025】ここで逐次変換型A/D変換器の種類であるが、決まった順序でビットデータを出力するならば、いかなる逐次変換型A/D変換器でも良い。通常は上位ビットから変換結果を得ていくが、それには限定されない。よく知られるA/D変換器である、各A/D変換器に参照電圧発生回路が付加されており、前ビットまでのA/D変換結果を元に、比較器における次の比較に用いる参照電圧を合せ込む種類のもの、また米国特許第5,801,657号にあるような、グローバルに与える参照電圧に工夫を施し、グレイコードとして変換結果を得るもの、いかなるものでも良い。また、比較器における比較誤差(入力オフセット)をフィードバックを用いて解消し、A/D変換器の固定パターンノイズを除去する形式の逐次変換型A/D変換器を用いてもよい。さらに、A/D変換器とサンプルホールド回路は機能的に分離できても回路上は分離しえない構成になり得る。

【0026】また、ここでFIFOバッファ107の構成であるが、段数は1段に限定されない。後程説明するが、段数は有限ならばいかなる値でも良い。

【0027】つぎに図1の回路の動作について説明する。ここではサンプルホールド回路において画素の固定パターンノイズ、リセットノイズを除去する場合を説明するが、無論同等の説明を用いて、サンプルホールド回路で単に光電変換結果のみをホールドする場合など、いかなる場合も説明出来ることはいうまでもない。

【0028】また、一列について着目して説明するが、すべての列に対して同様に考えればよいことは言うまでもない。これは以下すべての実施例についても同じである。

【0029】まず、サンプルホールド回路105において、選択されたある行に属する画素の出力のノイズレベル、信号レベルが保持され、A/D変換器106に入力される。A/D変換器106はビットごとに変換結果を出力する。その出力は1段のFIFOバッファ107に保持される。

【0030】次のサイクルにおいて、FIFOバッファ107に保持された値はシフトレジスタ108に転送され、順次出力される。その同時刻のサイクルにおいて、A/D変換器106は次のビットの変換を行なう。つまり、前時刻に変換した結果を出力しているサイクルにおいて、次のビットを変換する、パイプライン動作を行っている。

【0031】図6を用いて上記パイプラインの流れを説明する。図6はK行目、およびK-1行目、K+1行目の、A/D変換器の変換しているビット、およびシフトレジスタの出力しているビットのデータの流れを説明す

る図である。一部に着目すると、たとえばK-1行目においてA/D変換器が601に示す1st bit (Least Significant Bit) を変換しているとき、出力のシフトレジスタは602に示す2nd bitを出力している。また出力のシフトレジスタが603で表わされているK-1行目の1st bitを出力しているとき、A/D変換器は、斜線604で示される無効期間ののち、605で表わされる、K行目のNth bit (Most Significant Bit) を変換している。ここでNとはA/D変換器の変換精度を表わしている。ここで無効期間604においては、画素からの出力をサンプル・ホールドしている。この無効期間を考慮し、603に適切にウエイトを挿入する必要がある。

【0032】また、ここでは、シフトレジスタの出力が前回のA/D変換対象のビットとなっている。もしFIFOバッファの段数がN段ならば、シフトレジスタの出力はN回前に変換されたビットとなる。そのため、FIFOバッファの段数に限定はない。

【0033】本実施例による効果を以下に列挙する。

1) 各行の駆動すべき水平出力線がシフトレジスタになったことで、各行の出力バッファ(ここではFIFO107)の駆動能力を大幅に削減でき、低消費電力化が実現できた。

2) パイプラインにすることで、1水平ラインアクセス期間をかけてA/D変換を行うことができ、比較器に必要なとされる動作速度の要求を緩和し、低消費電力化、レイアウト時の省面積化が実現できた。

3) 逐次変換型A/D変換器が必要とする参照電圧が変化してから安定するまで、ある程度の時間が求められるが、パイプラインにすることでより安定するまで待つことの時間を長くすることが出来、参照電圧の精度を増すことができた。

【0034】このようにして、本発明における第一の実施例においては、従来にある問題を解決し、より低い消費電力でA/D変換器を内蔵したイメージセンサを実現できた。

(実施例2) 本発明の撮像装置の第2の実施例を図7を用いて説明する。画素701の集合が列状に並んだ画素列702、画素列702に属する画素が共通に接続される垂直出力線703を有し、また別な画素列群と垂直出力線704, 705, 706がそれぞれ接続されている。

【0035】垂直出力線703, 704, 705, 706は、それぞれサンプルホールド回路707, 708, 709, 710に接続され、それらサンプルホールド回路707~710は4対1のマルチプレクサ711に接続されている。マルチプレクサ711の出力は逐次変換型A/D変換器712に接続され、A/D変換器712の出力は4段のFIFOバッファ713に接続されている。FIFOバッファ713の出力はシフトレジスタ714に接続され、シフトレジスタ714の出力はバッフ

ァ715を介して出力されている。

【0036】次にこの回路の動作について説明する。第1の実施例と同様に、各列について、一つの画素が選択され、そのノイズ信号、光電変換信号がそれぞれサンプルホールド回路によってホールドされ、ノイズを取り除いた信号が出力される。

【0037】つぎにマルチプレクサは順次サンプルホールド回路707、708、709、710の出力をA/D変換器712に伝え、比較結果がFIFOバッファ713に順次入力される。

【0038】FIFOバッファ713の出力はバッファの先頭から順次シフトレジスタ714に入力され、転送、出力される。

【0039】次に上記動作説明を、図8を用いて時間軸とともに説明する。

【0040】図7において、4つの画素列で一つの要素を構成しており、ある一要素の各画素列に接続される垂直出力線を垂直出力線703、704、705、706としている。各要素の垂直出力線703に接続される各要素の画素列の集合をA列群、各要素の垂直出力線704に接続される各要素の画素列の集合をB列群、各要素の垂直出力線705に接続される各要素の画素列の集合をC列群、各要素の垂直出力線706に接続される各要素の画素列の集合をD列群として扱う。

【0041】まず、図8に示すように、図6の斜線604であらわしたものと等価な、画素の信号をA/D変換器に入力するためにサンプルホールドする期間801の後、ある行、ここではK行目のA列群のデータがマルチプレクサ711を通してA/D変換器712に伝えられ、期間802にて比較が行われる。その期間802には、A/D変換器712からの出力がFIFOバッファ713に入っている。このとき期間803にて、前回のK-1行目のA列群の変換結果が出力される。以下、B列群、C列群、D列群について、この繰り返しとなる。

【0042】このように、ある画素列群の変換期間と、ある画素列群の変換結果出力時間を合わせることでパイプラインを構築している。

【0043】本実施例による効果は以下のとおりである。

1) まず、第1の実施例と同等の効果が得られる。
2) それに加えて、たとえば列の数が増え、結果を出力する時間が比較する時間に比べて長くなってしまったときに、さらにパイプラインを細かくすることで、同等の読み出しスピードを保ちながら列あたりのA/D変換器の数を減らすことができ、省面積化を実現できた。

【0044】また、ここでは4列に1つのA/D変換器を設けているが、それには限定されず、たとえば10列に1つのA/D変換器、もしくは2列に1つのA/D変換器など、いかなる組み合わせをもとりえる。また、そ

のとき、FIFOバッファの段数を合わせて調節する必要があることは言うまでもない。また本例では1つのA/D変換器に1つのFIFOバッファを設けた。例えば、選択回路を用いて1つのFIFOにしてもよい。

(実施例3) 本発明の撮像装置の第3の実施例を図9を用いて説明する。図7と同一の部位には同じ番号を付記している。A/D変換器712の出力は、1対4のデマルチプレクサ(De-multiplexer)901によって1段のFIFOバッファ902~905へ接続され、それらの出力はシフトレジスタ906へ接続され、シフトレジスタ906の出力はバッファ907を介して外部へ信号を出力する構成になっている。

【0045】次にこの回路の動作を説明する。第2の実施例と同様に、4つの画素列で一つの要素を構成しており、ある一要素の各画素列に接続される垂直出力線を垂直出力線703、704、705、706としている。そして、A/D変換器712はマルチプレクサ711から順次A列群(各要素の垂直出力線703に接続される画素列の集合)、B列群(各要素の垂直出力線704に接続される画素列の集合)、C列群(各要素の垂直出力線705に接続される画素列の集合)、D列群(各要素の垂直出力線706に接続される画素列の集合)からの出力を受け、逐次比較を行う。

【0046】第2の実施例においては、比較結果は直列に連なるFIFOバッファに記憶されたが、本実施例においては1対4のデマルチプレクサ(De-multiplexer)901によって1段のFIFOバッファ902~905に接続されている。

【0047】デマルチプレクサ(De-multiplexer)901はA列群が比較されているときは、A列群を受け持つFIFOバッファ902へ出力を伝える。B列群はFIFOバッファ903、C列群はFIFOバッファ904、D列群はFIFOバッファ905へ比較結果を保持する。

【0048】4つの画素列群(A列群、B列群、C列群、D列群)のデータの保持が終了した後、シフトレジスタ906はそれらを順次外部に出力する。

【0049】次に上記動作を、図10を用いて時間軸とともに説明する。図8と同じ動作をする期間には同じ番号を付記している。

【0050】まず、期間801において、選択されているK行目の信号をサンプルホールドする。ここにおいては、上述した実施例で述べたように、たとえばよく知られたノイズ除去を行ってもよいし、光電変換結果の信号のみをホールドしてもよい。

【0051】次にA列群、B列群、C列群、D列群の順で、逐次比較型A/D変換器712がNビット目の比較を期間1001~1004で行う。そのとき、前の時刻で比較、変換されたK-1行目の1ビット目の比較結果が期間1005においてシフトレジスタ906を通して

外部に出力される。

【0052】次の処理においては、期間1006で示されるように、A～D列群の出力に対してN-1ビット目に関してA/D変換が行われるが、その最中は期間1007で示されるように前に変換したK行目のNビット目の結果を外部に出力する。

【0053】本実施例では4列を一つの群としたが、これには限定されないことは言うまでもない。また、その際、デマルチプレクサ(Demultiplexer)、および並列に並べるFIFOバッファの数も合わせて変更しなくてはならないことは言うまでもない。

【0054】本実施例の効果を以下説明する。

1) まず、実施例1で説明した効果と同等の効果を達成することができる。

2) 合わせて、比較器を複数の列で共有することによって、省面積化を図ることができる。

【0055】このようにして、低消費電力動作可能なA/D変換器を実現することができた。

(実施例4) 本発明の撮像装置の第4の実施例を図11を用いて説明する。

【0056】フォトダイオード1101、転送ゲートをかねる垂直転送部1102から構成される画素部が列状に並び、垂直転送部1102はCCDの垂直シフトレジスタ1103を構成している。そのような画素列1104が複数並び、画素行列1105を構成している。

【0057】画素列1104に着目すると、垂直シフトレジスタ1103の最終段は、転送ゲート1106を介してフローティングディフュージョンアンプ1107に接続されている。フローティングディフュージョンアンプ1107の出力はサンプルホールド回路1108に接続される。サンプルホールド回路1108の出力は逐次変換型A/D変換器1109に接続され、その出力はFIFOバッファ1110に接続されている。FIFOバッファ1110はシフトレジスタ1111に接続され、そのシフトレジスタはバッファ1112を介して外部に変換結果を出力する。

【0058】次に、本回路の動作を説明する。

【0059】本回路の動作、またパイプラインの流れは、ほとんど実施例1と同様である。サンプルホールド回路1108に、フローティングディフュージョンアンプ1107のリセットレベルと、その後転送されてきた信号電荷によって出力される信号レベルの差分を取らせる機能、つまり従来のCDS(Correlated Double Sampling; 相関二重サンプリング)機能と同等の機能を持たせることで、ノイズの少ない信号を得ることができた。

【0060】また、ここではCCD構造の画素列に対して、一列に一つの逐次変換型A/D変換器を対応させているが、実施例2、3と同様に、複数列に一つのA/D変換器を対応させてもよいことは言うまでもない。

【0061】また、ここでは画素行列部にはCCD構造

を用いているが、この例には限定されず、たとえばチャージスイープデバイス、その他さまざまなイメージセンサを用いてもよい。また、イメージセンサも、可視光領域を光電変換するデバイスには限定されず、赤外領域イメージセンサ等でもよい。

【0062】また、逐次変換型A/D変換器、FIFOバッファ(待ち行列)、シフトレジスタ、バッファなどの回路構成について詳細に言及していないが、パイプライン構成にすることで、低消費電力化、高精度化を図るという目的を達成できるものであればよく、特にその回路構成は限定されない。A/Dコンバータ、サンプルホールド回路の構成においては、またA/Dコンバータ自身のオフセット補償技術などは、たとえば、図解A/Dコンバータ入門(米山寿一著・ISBN4-274-03424-0)などをはじめとしたさまざまな文献に示されている。

【0063】また、図6をはじめ、動作の説明においては、行単位のアクセス、つまり順次走査でセンサ出力を得ることを前提としている。ただし、本発明は順次走査読み出しに限定されるものではない。A/D変換器が一回に取り扱えるのは一列あたり一度に一つの画素であるが、CCD構成の画素を用いない場合、それがおなじ行に属する必要はない。この前提を踏まえ、ランダムアクセス状の読み出しを行っても、本発明の効果を十分得ることができる。

【0064】また、図6をはじめ、逐次変換型A/D変換器の変換するビットはMSBからLSBへ向けての順序で行っていた。本発明の効果を達成するために、他のビット順序で変換してもよいことは言うまでもない。

(実施例5) たとえば列に接続される画素数が増加した場合、もしくは画素のサイズが大きい場合など、ノイズ信号、光電変換信号などを画素から読み出すのに長い時間が必要となることがある。その際に、図6で示した無効期間604の長さが、比較、および出力の時間に比べて無視できなくなる場合がある。

【0065】本発明の撮像装置の第5の実施例では、第1から第4の実施例に加え、従来のサンプル・ホールド回路と逐次変換型A/D変換器の間にさらにサンプル・ホールド回路を挿入することで、無効期間604をほぼゼロにすることを目的としている。以下、その動作を図12と図13を用いて説明する。

【0066】まず、図12を用いて挿入したサンプルホールド回路について説明する。図1と同一の部位には同じ番号を付記している。本実施例ではサンプル・ホールド回路105とA/D変換器106の間にサンプルホールド回路1201を設けている。ここでサンプル・ホールド回路はいかなる構成のものでもよい。

【0067】次に、サンプルホールド回路1201の役割を、図13を用いて説明する。一列にのみ着目して説明するが、すべての列に関して適用できることは言うまでもない。

【0068】まず、K-1行目の画素についてA/D変換、および出力している間に、期間1301において、サンプル・ホールド回路105を用いて次の行となるK行目の画素信号をサンプル・ホールドする。逐次変換型A/D変換器106は、K-1行目の最後のビット（ここではLSB）を比較し終え、次のK行目の最初のビット（ここではMSB）を変換する。つまり、遷移期間1302において、サンプル・ホールド回路105が出力している変換対象の信号電圧をサンプル・ホールド回路1201でホールドし、A/D変換器1201でホールドされたK行目の電圧を、実施例1と同様に変換する。

【0069】K行目を交換している間、期間1303において、次のK+1行目の出力を105にてサンプル・ホールドする。この繰り返しを行う。

【0070】このようにして、十分時間をかけて画素からの信号を読み出さなくてはならないときでも、次の行の値を先読みすることによって、パイプラインの流れを損なわずに動作させることができた。

【0071】ここで、サンプル・ホールド回路1201であるが、たとえばこの回路がない代わりにサンプル・ホールド回路105が2段のサンプルホールドを行う、もしくはADCがサンプルホールド機能を入力部に有する、など、さまざまな振り分けの組み合わせが存在する。本発明ではそれらの混乱を防ぐため、すべてを同義とし、サンプルホールド回路1201はA/D変換器の一部と考えることとする。

【0072】また、期間1301、1303で、実際に画素から信号を読み出し、ホールドするタイミングであるが、遷移期間1302にできるだけ近いことが望ましい。基本的に画素部の（電圧・電流・電荷の）リークが少ないのに対して、ホールド回路のリークは大きい場合があるので、その影響を最小限にとどめるためである。

【0073】上記実施例1〜5で説明した撮像装置は、例えばCMOSプロセス等によって同一半導体チップ上に形成される。

【0074】図14に上記撮像装置を用いたシステム概略図を示す。同図に示すように、光学系71を通して入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路73によってホワイトバランス補正、ガンマ補正、輝度信号形成、色信号形成、輪郭補正処理等予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、絞り80、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御

される。

【0075】

【発明の効果】以上説明したように、本発明によれば、以下の効果を得ることができる。

1) シフトレジスタ等の選択手段を用いることで、出力バッファの駆動能力を大幅に削減でき、低消費電力化が実現できる。

2) パイプラインにすることで、十分な期間をかけてA/D変換を行うことができ、比較器に必要とされる動作速度の要求を緩和し、低消費電力化、レイアウト時の省面積化が実現できる。

3) 逐次変換型A/D変換手段が必要とする参照電圧が変化してから安定するまで、ある程度の時間が求められるが、パイプラインにすることでより安定するまで待つことの時間を長くすることができ、参照電圧の精度を増すことができる。

【図面の簡単な説明】

【図1】本発明の撮像装置の第1の実施例を説明する回路構成図である。

【図2】上記撮像装置に用いられるサンプル・ホールド回路の構成例を示す図である。

【図3】上記撮像装置に用いられるサンプル・ホールド回路の構成例を示す図である。

【図4】上記撮像装置に用いられるサンプル・ホールド回路の構成例を示す図である。

【図5】上記撮像装置に用いられるサンプル・ホールド回路の構成例を示す図である。

【図6】パイプライン処理の流れを説明する図である。

【図7】本発明の撮像装置の第2の実施例を説明する回路構成図である。

【図8】上記第2の実施例の撮像装置の動作を説明する図である。

【図9】本発明の撮像装置の第3の実施例を説明する回路構成図である。

【図10】上記第3の実施例の撮像装置の動作を説明する図である。

【図11】本発明の撮像装置の第4の実施例を説明する回路構成図である。

【図12】本発明の撮像装置の第5の実施例を説明する回路構成図である。

【図13】上記第5の実施例の撮像装置の動作を説明する図である。

【図14】本発明による撮像システムを示す概略図である。

【図15】従来のA/D変換器混載型CMOSセンサの第一の例を示す図である。

【図16】従来のA/D変換器混載型CMOSセンサの第二の例を示す図である。

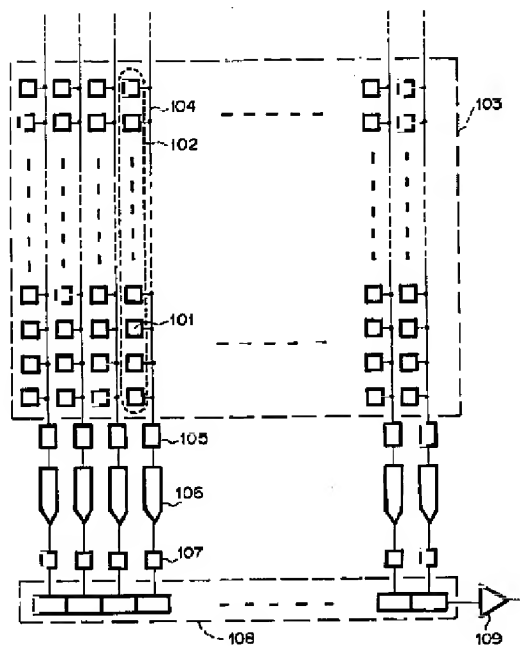
【符号の説明】

101 画素

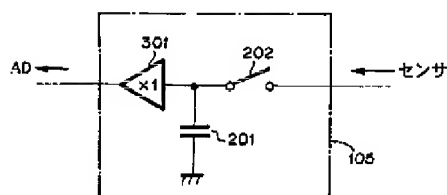
102 画素列
 103 画素行列
 104 出力線
 105 サンプル・ホールド回路
 106 逐次変換型A/D変換器
 107 待ち行列
 108 シフトレジスタ
 109 バッファ
 701 画素
 702 画素列
 703, 704, 705, 706 垂直出力線
 707, 708, 709, 710 サンプルホールド回路
 711 マルチプレクサ
 712 逐次変換型A/D変換器
 713 FIFOバッファ
 714 シフトレジスタ
 715 バッファ

901 デマルチプレクサ
 902, 903, 904, 905 FIFOバッファ
 906 シフトレジスタ
 907 バッファ
 1101 フォトダイオード
 1102 垂直転送部
 1103 垂直シフトレジスタ
 1104 画素列
 1105 画素行列
 1106 転送ゲート
 1107 フローティングディフュージョンアンプ
 1108 サンプルホールド回路
 1109 逐次変換型A/D変換器
 1110 FIFOバッファ
 1111 シフトレジスタ
 1112 バッファ
 1201 サンプルホールド回路

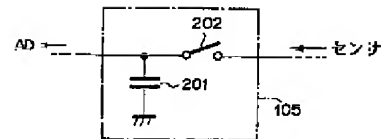
【図1】



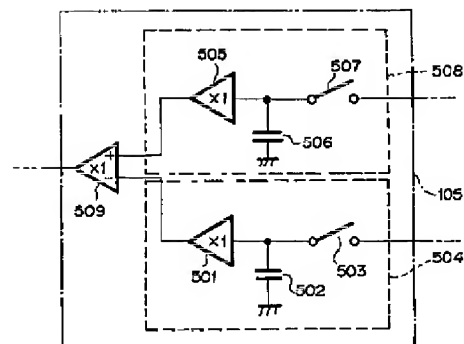
【図3】



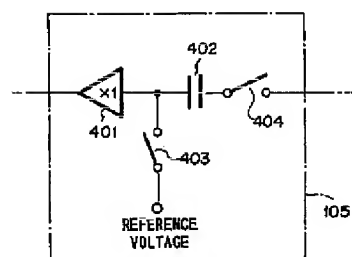
【図2】



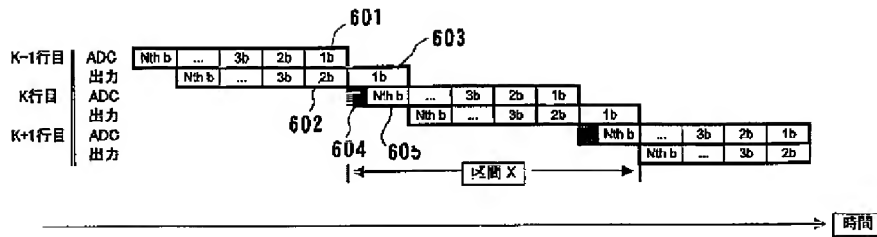
【図5】



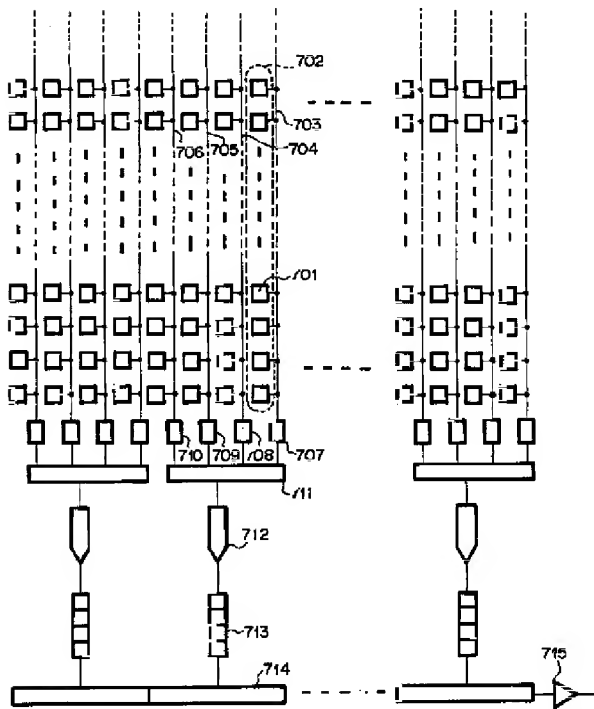
【図4】



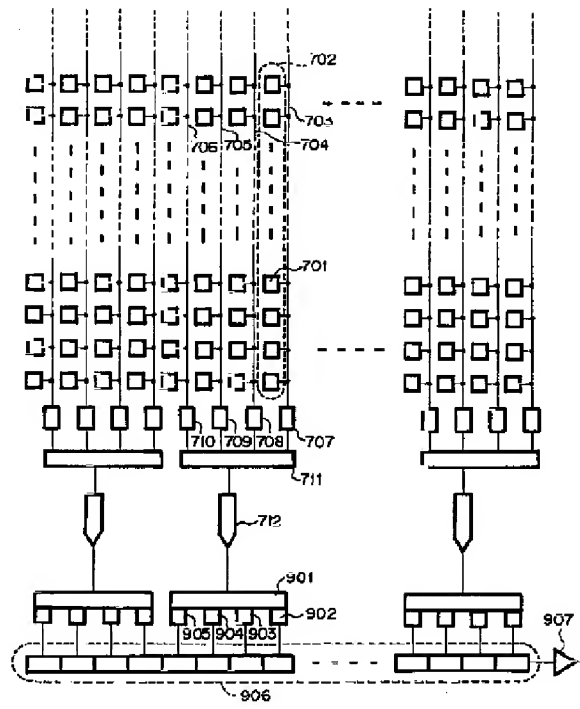
【図6】



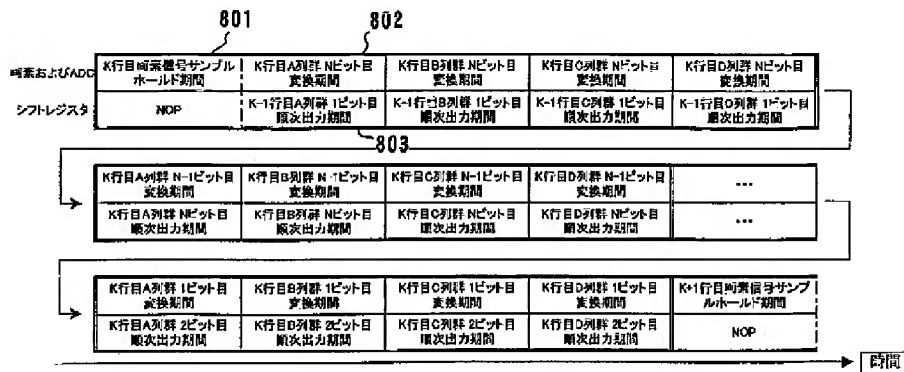
【図7】



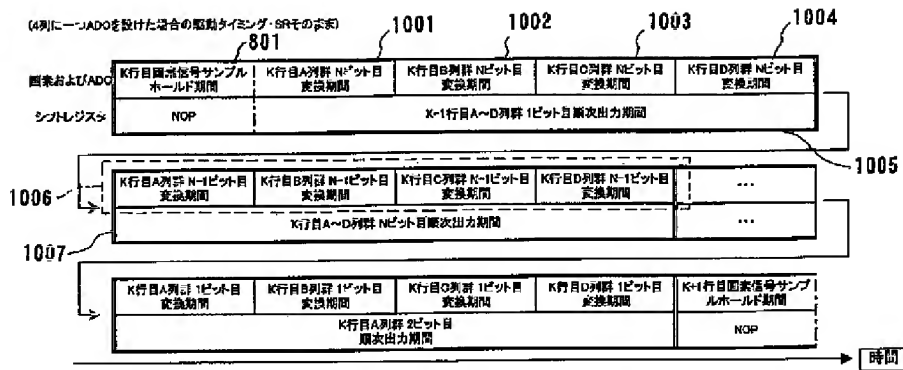
【図9】



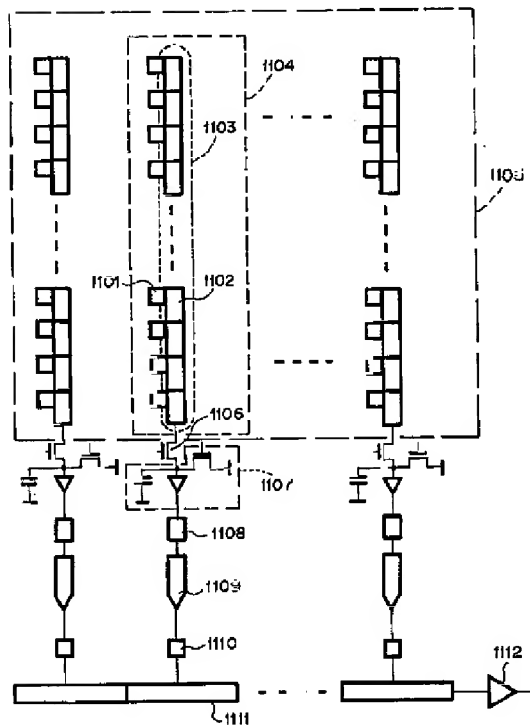
【図8】



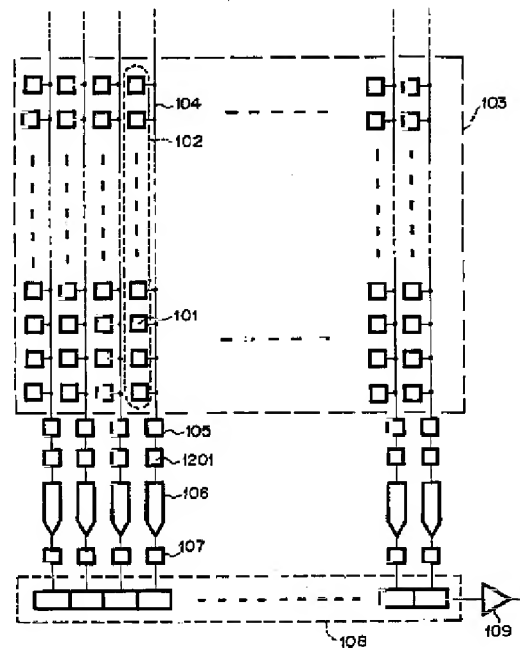
【図10】



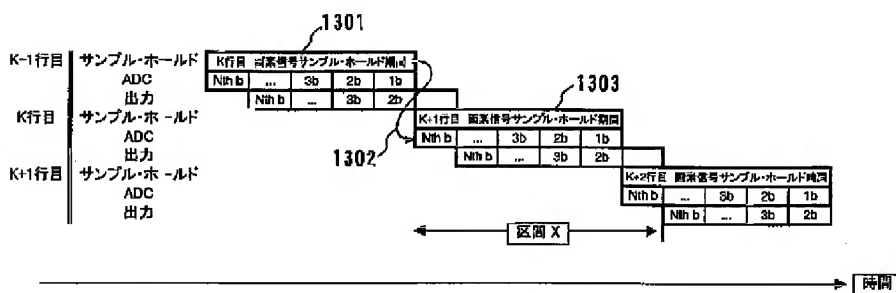
【図11】



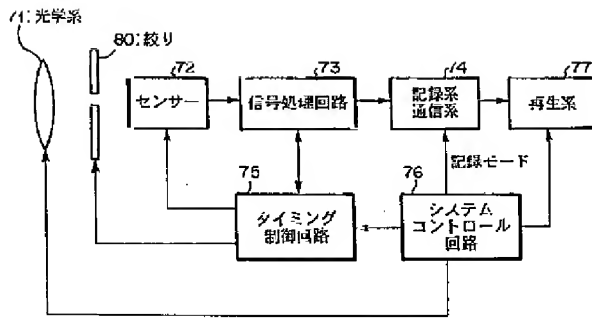
【図12】



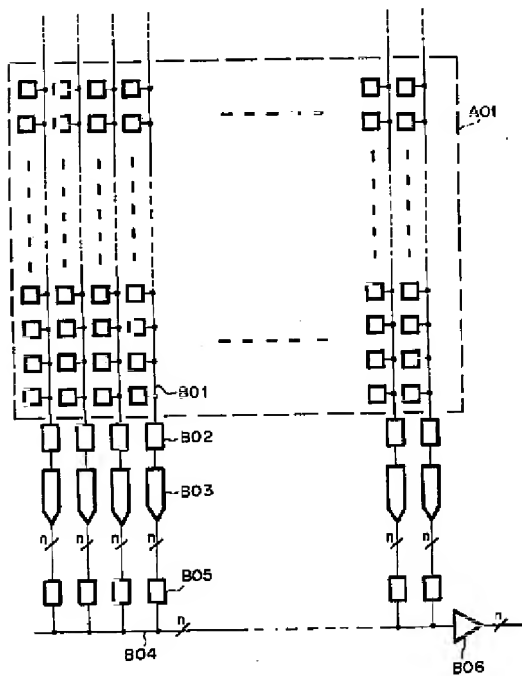
【図13】



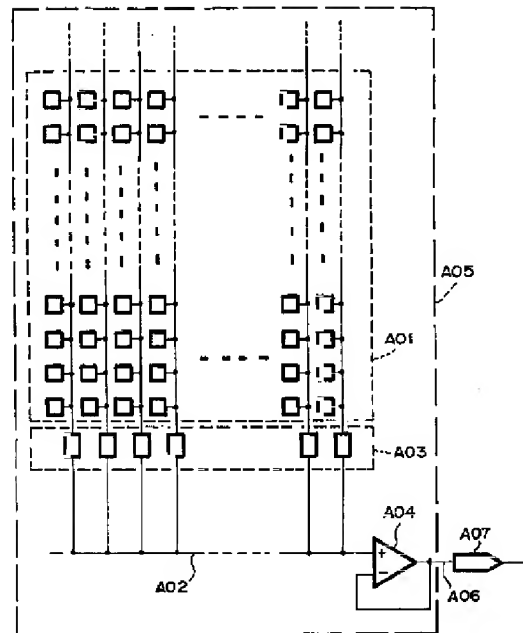
【図14】



【図16】



【図15】



フロントページの続き

Fターム(参考) 4M118 AA04 AA05 AB01 BA06 BA10
 BA14 BA22 CA02 DD09 DD10
 FA06 FA50
 5C024 CX04 GY31 GY36 HX13 HX23
 HX57
 5J022 AA02 BA01 CA10 CE09 CF08
 CG01